

Лабораторная работа №3
Основные синтаксические конструкции языка VHDL

Цель работы: разработать проект для ПЛИС с использованием синхронных устройств.

1. Создать новый проект в САПР ISE. Выбрать для проекта ПЛИС XC3S500-FT256. Выбрать в качестве верхнего уровня файл типа Schematic. Добавить к проекту файл top.sch.

2. Разработать проект, включающий в себя различные типы модулей с использованием конструкций select, case, if then, when.

2.1. Создать новые модули с именами my_select, my_case, my_if и my_when и типом VHDL Module (Add New Source).

2.2. В окне мастера при создании модуля ввести сигналы:

Для синхронных модулей (my_case, my_if):

- clk (тактовый сигнал - in)
- d (вход данных – in)
- q (выход данных – out)

Для асинхронных модулей (my_select, my_when).

- d (вход данных – in)
- q (выход данных – out)

По заданию преподавателя возможно уточнение интерфейса модулей (см. рекомендации по применению упомянутых синтаксических конструкций в учебнике).

2.3. Выполнить поведенческое описание модулей на языке VHDL.

2.3.1. Рекомендуемые задания:

my_when - простой логический преобразователь (проверка условия, проверка равенства нулю входной шины, сравнение двух двоичных чисел и формирование флага «больше»)

my_select – дешифратор семисегментного индикатора

my_if – двоичный счетчик с разрешением работы

my_case – арифметико-логическое устройство

Примеры реализации находятся в учебнике. Рекомендуется модифицировать задания, добившись отсутствия совпадения с учебными примерами.

2.3.2. Сохранить исходный текст и создать схематехническое представление компонента (Design Utilities -> Create Schematic Symbol).

2.3.3. Создать файл проектных ограничений (Implementation Constraints File). Назначить расположение выводов ПЛИС, подав на входы ПЛИС сигналы с переключателей или

кнопок отладочной платы, а выходы подключив к светодиодам. Подать тактовый сигнал с входа, к которому подключен выход кварцевого генератора, установленного на плате.

2.3.4. Произвести трансляцию проекта и программирование ПЛИС.

3. Проверить работоспособность разработанного модуля, убедившись в мигании светодиода и остановке счета при снятии сигнала en.

4. Из отчетов САПР определить и выписать:

Число логических секций (slices), необходимых для проекта _____

Число триггеров проекта (Flip-flops) _____

Число логических генераторов (LUTs) _____

Максимальная тактовая частота _____